



(19)

(11) Publication number:

2000311491 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11121944

(51) Int'l. Cl.: G11C 11/419

(22) Application date: 28.04.99

(30) Priority:

(43) Date of application publication: 07.11.00

(84) Designated contracting states:

(71) Applicant: HITACHI LTD
HITACHI DEVICE ENG CO LTD(72) Inventor: NANBU HIROAKI
KANETANI KAZUO
YAMAZAKI SU
ARAKAWA FUMIHIKO
KUSUNOKI TAKESHI

(74) Representative:

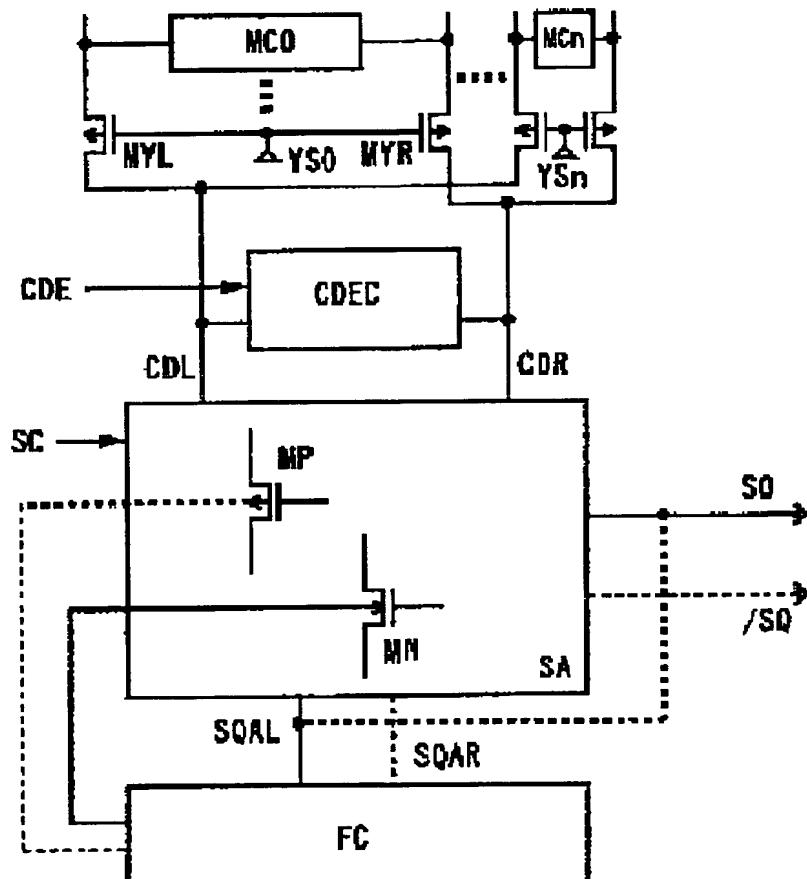
(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which the offset of a sense amplifier is controlled so as to be made zero and operational speed of a sense amplifier is increased.

SOLUTION: This semiconductor memory has such a constitution that, when a sense amplifier SA comprising a plurality of MOS transistors is in a standby state, an input signal of the sense amplifier is made zero by a first control circuit CDEC. The well potential of the MOS transistor is feedback-controlled so that the offset is made zero by a second control circuit FC using a signal generated by the offset of a sense amplifier at the time.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-311491
(P2000-311491A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl.⁷
G 1 1 C 11/419

識別記号

F I
G 1 1 C 11/34

テ-マコ-ト (参考)
3 1 1 5 B 0 1 5

(21) 出願番号 特願平11-121944

(22) 出願日 平成11年4月28日 (1999.4.28)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72) 発明者 南部 博昭
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 100061893
弁理士 高橋 明夫 (外1名)

(54) 【発明の名称】 半導体メモリ

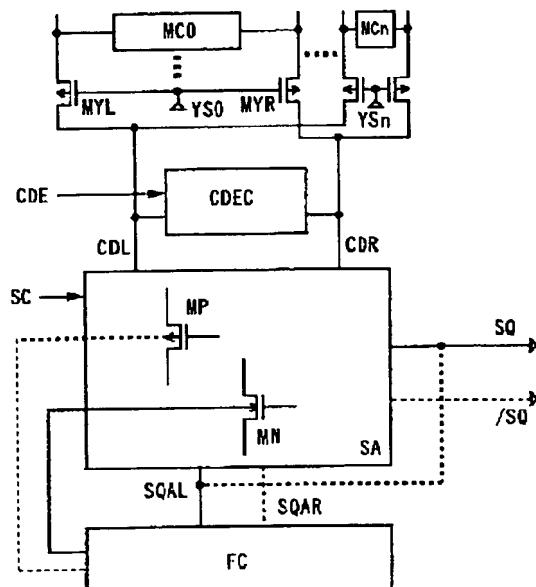
(57) 【要約】

【課題】 センスアンプのオフセットが零となるように制御し、センスアンプを高速化した半導体メモリを提供する。

【解決手段】 複数のMOSトランジスタを含んで構成したセンスアンプSAが待機状態にある時、第1の制御回路CDECによりセンスアンプの入力信号を零とする。この時のセンスアンプのオフセットにより発生する信号を用いて、第2の制御回路FCにより上記MOSトランジスタのウエル電位を、オフセットが零となるようフィードバック制御する構成とする。

【効果】 センスアンプの遅延時間を高速化できる。

図3



【特許請求の範囲】

【請求項1】半導体ウェハ上に、格子状に配置したメモリセルと、該メモリセルの情報を読み出すために複数のMOSトランジスタを含んで構成されるセンスアンプとを有する半導体メモリにおいて、

センスアンプを構成する前記複数のMOSトランジスタの内、回路接続が対称となっている同一導電型チャネルの複数のMOSトランジスタ対の、少なくとも一つのMOSトランジスタ対を構成する一組のMOSトランジスタの内の方のウエルを、他のMOSトランジスタのウエルと電気的に分離した構成とし、さらに、

センスアンプの入力信号をほぼ零とする第1の制御回路と、

センスアンプが待機状態にある時に、第1の制御回路によりセンスアンプの入力信号をほぼ零とした時のセンスアンプのオフセットにより発生する信号を用いて、MOSトランジスタ対の少なくとも一つの電気的に分離したウエルの電位を、センスアンプのオフセットがほぼ零となるように制御する第2の制御回路と、を設けたことを特徴とする半導体メモリ。

【請求項2】上記半導体ウェハはSOIウェハである請求項1に記載の半導体メモリ。

【請求項3】上記第2の制御回路は、センスアンプが活性化された状態にある時、上記MOSトランジスタ対の少なくとも1つのウエルを、フローティングの状態にする請求項1または請求項2に記載の半導体メモリ。

【請求項4】上記ウエルの電位を制御する第2の制御回路の出力線に、さらに容量を付加した請求項1～請求項3のいずれか1項に記載の半導体メモリ。

【請求項5】上記第1の制御回路は、プリチャージ制御信号により動作するコモンデータ線のプリチャージ回路である請求項1～4のいずれか1項に記載の半導体メモリ。

【請求項6】上記第2の制御回路は、差動アンプまたはスイッチ回路で構成される請求項1～5のいずれか1項に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリに係り、特にセンスアンプの遅延時間を短縮するのに好適な回路技術に関する。

【0002】

【従来の技術】従来から、半導体メモリにおいて、メモリセルから出力される小さな信号を高速に増幅するためには、多くのセンスアンプが提案されている。これらの中で特に高速なもの一つとして、1998年ISSCCの技術論文ダイジェスト、360頁から361頁(1998

IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp.360-361)に開示された回路がある。

【0003】図1に、この従来例の回路図を示す。本図で参照符号MCO, …, MCnはメモリセルであり、MYL, MYRはビット線選択用のYスイッチであり、YS0, …, YSnはYスイッチを制御するビット線選択信号である。また、CDL, CDRはコモンデータ線であり、MPL, MPR, MEはコモンデータ線のプリチャージ回路を構成するトランジスタであり、CDEはコモンデータ線のプリチャージ制御信号である。また、トランジスタM10からM16で構成される回路が、1段目10のサブセンスアンプであり、トランジスタM20からM27で構成される回路が、2段目のサブセンスアンプであり、SCはセンスアンプ活性化信号である。また、IV0, IV1はインバータであり、SQはセンスアンプ出力ノードである。

【0004】次に図2に示す動作波形(実線)を参照しながら、図1の従来回路の動作を説明する。

【0005】まず時刻t0では、プリチャージ制御信号CDEがロー(L)レベルであり、コモンデータ線CDL, CDRがプリチャージされて、ハイ(H)レベルになっている。また、センスアンプ活性化信号SCがLレベルであり、センスアンプは待機状態になっている。

【0006】次に、Yスイッチがオンとなり、時刻t4でプリチャージ制御信号CDEがHレベルになると、選択されたメモリセルの記憶情報に応じてコモンデータ線CDL, CDRの一方の電位が低下し始める(本例では、CDLの電位が低下している)。

【0007】その後、時刻t6でセンスアンプ活性化信号SCをHレベルにし、センスアンプを活性化すると、コモンデータ線CDL, CDRの電位に応じて、まずは1段目のサブセンスアンプの出力信号線(以下、単に「出力信号線」と呼ぶ)SQAL, SQARの一方の電位が低下し始める(本例では、出力信号線SQALの電位が低下している)。

【0008】この出力信号線SQALとSQARの電位差は、さらに2段目のサブセンスアンプで増幅され、インバータIV0, IV1を介してセンスアンプ出力ノードSQに出力される(本例では、時刻t8に出力信号線SQALとSQARの電位差が電源電圧VDDのほぼ半分になるのに対応して、センスアンプ出力ノードSQの電位がLレベルに切り換わっている)。

【0009】その後、時刻t10で再びプリチャージ制御信号CDEがLレベルになると、コモンデータ線CDL, CDRがプリチャージされ、Hレベルに復帰する。また、センスアンプ活性化信号SCがLレベルに戻るのに呼応して(時刻t10)、出力信号線SQAL, SQARがHレベルに復帰し、センスアンプは再び待機状態になる。

【0010】また、これに伴い時刻t12では、センスアンプ出力ノード(以下、単に「出力ノード」と呼ぶ)SQがHレベルに復帰する。

【0011】その後、次のサイクルが時刻 t_{14} から開始され、1サイクル目と同様の動作が始まる。本例では、2サイクル目に選択されたメモリセルの記憶情報が1サイクル目に選択されたメモリセルの記憶情報と逆の場合を示しており、このため、時刻 t_{14} でプリチャージ制御信号 CDE が H レベルになると、コモンデータ線 CDR の電位が低下している。

【0012】従って、時刻 t_{16} でセンスアンプ活性化信号 SC を H レベルにしてセンスアンプを活性化すると、出力信号線 SQAR の電位が低下し始める。すなわち、2サイクル目では出力信号線 SQAL と SQAR の電位関係が1サイクル目と逆になるので、出力ノード SQ は H レベルのままで変化しない。

【0013】従って、出力ノード SQ の電位を入力とする次段の回路は、出力ノード SQ の電位が L レベルに変化するか、H レベルのままであるかを検出することにより、選択されたメモリセルの記憶情報を読み出すことができる。

【0014】以上述べてきたように、図 1 の従来回路では、センスアンプを 2 つのサブセンスアンプで構成し、高速な読み出し動作を実現している。

【0015】

【発明が解決しようとする課題】しかしながら、前述した従来のセンスアンプには、センスアンプを構成するトランジスタの特性ばらつき等によるオフセットが存在するため、高速化にも限界があった。以下、このことを説明する。

【0016】図 1 の従来回路において、1段目のサブセンスアンプには必ずオフセットが存在するため、活性化信号 SC を H レベルにしてセンスアンプを活性化した時に、コモンデータ線 CDL, CDR の電位差が零であったとしても、出力信号線 SQAL, SQAR の一方の電位が必ず低下し始める（以下の例では、出力信号線 SQAL の電位が低下すると仮定する）。

【0017】さらにこの時、温度または電源電圧の変動により活性化信号 SC によるセンスアンプの活性化のタイミングが通常より早くなつた場合の動作波形を、図 2 に破線で示す。すなわち、活性化信号 SC が H レベルになりセンスアンプが活性化されるタイミングが時刻 t_6 から時刻 t_2 に早くなると、オフセットによって、コモンデータ線 CDL, CDR の電位差が零であるにもかかわらず、出力信号線 SQAL の電位が低下し始める。このため、出力信号線 SQAL と SQAR の電位差は 2 段目のサブセンスアンプで増幅され、インバータ IV0, IV1 を介して出力ノード SQ に出力される。

【0018】すなわち、本例では、時刻 t_4 に出力信号線 SQAL と SQAR の電位差が電源電圧 VDD のほぼ半分になるのに対応して、出力ノード SQ が L レベルに切り換わっている。従って本例の場合、1サイクル目だけに着目すると、活性化信号 SC によるセンスアンプの

活性化のタイミングが早くなると、出力ノード SQ が早く切り換わり、高速化されたようにみえる。

【0019】しかし、問題は 2 サイクル目に発生する。すなわち、2 サイクル目に活性化信号 SC が H レベルになりセンスアンプが活性化されるタイミングが時刻 t_16 から時刻 t_{12} に早くなると、1 サイクル目と同様にオフセットによって、コモンデータ線 CDL, CDR の電位差が零であるにもかかわらず、出力信号線 SQAL の電位が低下し始める。このため、出力信号線 SQAL と SQAR の電位差は 2 段目のサブセンスアンプで増幅され、インバータ IV0, IV1 を介して出力ノード SQ に出力される。すなわち、本例では、時刻 t_{14} に出力信号線 SQAL と SQAR の電位差が電源電圧のほぼ半分になるのに対応して、出力ノード SQ が L レベルに切り換わってしまう。従って、出力ノード SQ が L レベルに変化するか、H レベルのままであるかを検出する次段の回路が誤動作してしまう。

【0020】以上のことから、センスアンプを高速化するには、センスアンプの活性化のタイミングを早くした方がよいことがわかるが、あまり早くし過ぎると、本例で示したように、温度または電源電圧の変動により誤動作を引き起こしてしまう。すなわち、従来回路では、センスアンプを構成するトランジスタの特性ばらつき等によるオフセットが存在するため、高速化にも限界があった。

【0021】そこで、本発明の目的は、センスアンプを構成するトランジスタに特性ばらつき等があつても、センスアンプの活性化のタイミングを早くして高速化が図れるセンスアンプを有する半導体メモリを提供することにある。

【0022】

【課題を解決するための手段】上記目的は、半導体ウエハ上に、格子状に配置したメモリセルと、該メモリセルの情報を読み出すために複数の MOS トランジスタを含んで構成されるセンスアンプとを有する半導体メモリにおいて、センスアンプを構成する前記複数の MOS トランジスタの内、回路接続が対称となっている同一導電型チャネルの複数のペアの MOS トランジスタ（以下、MOS トランジスタ対と呼ぶ）の、少なくとも一つの MOS トランジスタ対を構成する一組の MOS トランジスタの内の一方のウエルを、他の MOS トランジスタのウエルと電気的に分離した構成とし、さらに、センスアンプの入力信号を零（ここで零とは、センスアンプを構成するトランジスタの特性ばらつき等によるオフセットが無いとした場合に、センスアンプが入力信号として検知しないレベル、もしくはセンスアンプの出力を変化させないレベルの入力電圧を言い、完全に零だけに限定するするものではない。以下、同様である。）とする第 1 の制御回路と、センスアンプが待機状態にある時に、第 1 の制御回路によりセンスアンプの入力信号を零とし、この

時センスアンプのオフセットにより発生する信号を用いて、MOSトランジスタ対の少なくとも一つの電気的に分離したウエルの電位を、センスアンプのオフセットがほぼ零となるように制御する第2の制御回路と、を設けることにより達成される。

【0023】また、上記半導体メモリをSOI (Silicon On Insulator) ウエハ上に形成すると、さらに高速化できる。

【0024】また、上記第2の制御回路は、センスアンプが活性化された状態にある時、上記MOSトランジスタの少なくとも1つのウエルを、ほぼフローティングの状態となるように構成すると、さらに高速化できる。

【0025】また、上記ウエルの電位を制御する第2の制御回路の出力線に、容量を付加すると、さらに高速化できる。

【0026】また、上記第1の制御回路は、プリチャージ制御信号により動作するコモンデータ線のプリチャージ回路を用いることができる。

【0027】また、上記第2の制御回路は、差動アンプまたはスイッチ回路で構成すれば好適である。

【0028】

【発明の実施の形態】以下、本発明に係る半導体メモリの好適な実施形態について説明する。図3は本発明に係る半導体メモリの一実施の形態例を示す要部の回路ブロック図であり、本発明の基本概念を示している。また、図4は本実施の形態例における動作波形の一例を示すタイミングチャートである。なお、図3において、図1に示した従来例と同じ構成部分には同じ参照符号を付してある。また、後述する実施例の各図においても同様である。

【0029】図3では、半導体ウエハ上に格子状に配置したメモリセルMC0～MCnと、メモリセルの情報を読み出すセンスアンプSAとを有する半導体メモリにおいて、上記センスアンプSAを複数のMOSトランジスタMN, MPを含んで構成している。なお、ここでMNはNチャネルMOS (NMOS) トランジスタ、MPはPチャネルMOS (PMOS) トランジスタである。

【0030】このセンスアンプを構成する複数のMOSトランジスタの内、回路接続が対称となっている同一導電型チャネルの少なくとも一つのMOSトランジスタ対を構成する一組のMOSトランジスタMN (又はMP) の一方のウエルを、他のMOSトランジスタのウエルと電気的に分離するように形成する。

【0031】そして、センスアンプSAが待機状態にある時にセンスアンプSAの入力信号を零とする第1の制御回路CDECを設け、この第1の制御回路CDECによりセンスアンプSAの入力信号を零とした時、センスアンプのオフセットにより発生する出力信号線SQAL (又はSQAR) の電位を用いて、上記MOSトランジスタMN (又はMP) のウエル電位を、センスアンプS

Aのオフセットがほぼ零となるように制御する第2の制御回路FCを設けている。

【0032】このようにすると、センスアンプを構成するトランジスタに特性ばらつき等があつても、センスアンプSAのオフセットがほぼ零となるので、センスアンプの活性化のタイミングを早くでき、センスアンプを高速化できる。

【0033】以下、このことを、図4に示す動作波形を参照しながら説明する。まず実線で示したように、センスアンプ活性化信号SCがHレベルになりセンスアンプSAが活性化される時刻がt6, t16の場合は、図2に示した従来例と全く同じ動作になる。図4に示した動作波形と図2に示した従来例の動作波形とが異なるのは、破線で示したように、温度または電源電圧の変動により活性化信号SCによるセンスアンプの活性化のタイミングが通常より早くなつた場合である。

【0034】すなわち、活性化信号SCがHレベルになりセンスアンプSAが活性化されるタイミングが時刻t6から時刻t2に、または時刻t16から時刻t12に早くなると、図2の従来例の場合、オフセットによって、コモンデータ線CDL, CDRの電位差が零であるにもかかわらず、出力信号線SQALの電位が低下し始める。

【0035】しかし、図4に示した本実施の形態例の場合は、センスアンプSAが待機状態にある時 (本例では時刻t0からt2の期間、または時刻t10からt12の期間) 、センスアンプのオフセットにより発生する出力信号線SQAL (又はSQAR) の電位を用いて、MOSトランジスタMN (又はMP) のウエル電位を第2の制御回路FCによりフィードバック制御し、MOSトランジスタMN (又はMP) の特性を変化させることにより、センスアンプSAのオフセットがほぼ零となるようしている (ただし図4では、フィードバック制御が完了した後の波形を示しているので、出力信号線SQAL (及びSQAR) にはオフセットによる信号が発生していない)。

【0036】このため、センスアンプ活性化信号SCが時刻t2または時刻t12にHレベルになつても、出力信号線SQALの電位が図2に示した従来例ほど大きく低下しない。従つて、図2の従来例で問題になつた2サイクル目に着目すると、時刻t12に活性化信号SCがHレベルになった後、出力信号線SQALの電位は多少低下するものの、出力信号線SQALとSQARの電位差が電源電圧の半分に達つする前に、逆に出力信号線SQARの電位が低下し始め (時刻t16) 、その後出力信号線SQALの電位も上昇し始める (時刻t18)。このため、図2のようにセンスアンプSAの出力ノードSQがLレベルに切り換わるという誤動作が発生しない。

50 【0037】以上述べてきたように、本実施の形態例の

半導体メモリでは、センスアンプを構成するトランジスタに特性ばらつき等があつても、センスアンプのオフセットをほぼ零にできるので、センスアンプの活性化のタイミングを早くしても、温度または電源電圧の変動により誤動作が発生しない。従って、センスアンプの活性化のタイミングを早くして、センスアンプを高速化することができるので、高速な半導体メモリを実現できる。

【0038】なお、上記の実施の形態例では、一つのMOSトランジスタ対を構成する一組のMOSトランジスのいずれか一つのMOSトランジスタMN又はMPのウエル電位を第2の制御回路FCにより制御する例を述べたが、それぞれのウエルを電気的に分離した、NMOSトランジスタMNからなるMOSトランジスタ対と、PMOSトランジスタMPからなるMOSトランジスタ対が少なくとも一組ずつある場合には、上記のようにいずれか一つのMOSトランジスタMNまたはMPのウエルを第2制御回路FCにより制御しても良いし、図3に破線で示したように、それぞれの組の両方のウエルを第2制御回路FCにより制御しても良い。或いは、それぞれの組の片方のウエルを第2制御回路FCにより制御しても良い。また、第2制御回路FCへの入力信号は、サブセンスアンプの出力信号線SQALまたはSQARの一方の電位を入力としても良いし、差動入力とする場合は両方でも良い。更に、サブセンスアンプの出力信号線SQAL, SQARの電位を入力する代りに、センスアンプの出力ノードSQ、及び／又は、反転出力ノードの／SQ（ここで、SQの前の斜線“／”は、反転を意味する「バー」記号の代用である）の電位を入力しても良い。

【0039】

【実施例】次に、本発明に係る半導体メモリの具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0040】<実施例1>図5は、本発明の第1の実施例を示す半導体メモリの要部の回路図である。本図は図3に示した回路をさらに具体化した例を示すものであり、図3の各回路をCMOS回路で構成した例を示している。

【0041】図5に示したセンスアンプは、従来例の図1に示した回路と同様、MOSトランジスタM10からM16で構成される1段目のサブセンスアンプと、MOSトランジスタM20からM27で構成される2段目のサブセンスアンプとを含んでいる。さらに、このセンスアンプ内の回路接続が対称となっているMOSトランジスタ対M10, M11とMOSトランジスタ対M14, M15の各ウエルを、他のMOSトランジスタのウエルと電気的に分離している。また、センスアンプが待機状態にある時、MOSトランジスタMPL, MPR, MMEで構成される第1の制御回路によりセンスアンプの入力信号を零にしている。さらに、この時センスアンプのオ

フセットにより発生する出力信号線SQAL, SQARの電位を用いて、上記MOSトランジスタ対M10, M11とM14, M15の各ウエル電位をMOSトランジスタM40からM45で構成される第2の制御回路によりフィードバック制御し、センスアンプのオフセットがほぼ零となるようにしている。すなわち、出力信号線SQAL, SQARの電位を入力とする第2の制御回路の出力線WLRとWLLの電位を、それぞれMOSトランジスタM10, M15とM11, M14の各ウエルに印加している。

【0042】このようにすると、センスアンプを構成するトランジスタに特性ばらつき等があつても、センスアンプのオフセットがほぼ零となるので、センスアンプの活性化のタイミングを早くでき、センスアンプを高速化できる。

【0043】以下、このことを、図6に示す動作波形を参照しながら説明する。まず、実線で示したように、センスアンプ活性化信号SCがHレベルになり、センスアンプが活性化される時刻がt6, t16の場合は、図2に示した従来例と全く同じ動作になる。

【0044】図6に示した動作波形と図2に示した従来例の動作波形とが異なるのは、破線で示したように、温度または電源電圧の変動により活性化信号SCによるセンスアンプの活性化のタイミングが通常より早くなつた場合である。すなわち、活性化信号SCがHレベルになり、センスアンプが活性化されるタイミングが時刻t6から時刻t2に、または時刻t16から時刻t12に早くなると、図2に示した従来例の場合、オフセットによって、コモンデータ線CDL, CDRの電位差が零であるにもかかわらず、出力信号線SQALの電位が低下し始める。

【0045】これに対して、図6に示した本実施例の場合は、センスアンプが待機状態にある時（本実施例では、時刻t0からt2の期間、または時刻t10からt12の期間）、センスアンプのオフセットにより発生する出力信号線SQAL, SQARの電位を用いて、MOSトランジスタ対M10, M11とMOSトランジスタ対M14, M15の各ウエルの電位をMOSトランジスタM40からM45で構成される第2の制御回路によりフィードバック制御して、MOSトランジスタ対M10, M11とM14, M15の特性を変化させることにより、センスアンプのオフセットがほぼ零となるようにしている。

【0046】以下、このことを、さらに詳しく説明する。図5に示した回路では、従来例の図1で示したMOSトランジスタM12, M13が取り除かれ、MOSトランジスタM17が新たに付加されている。このため、活性化信号SCがLレベルでセンスアンプが待機状態にある時も、1段目のサブセンスアンプのオフセットにより出力信号線SQAL, SQARに電位が発生する。例

えば、MOSトランジスタM10, M15のしきい電圧がMOSトランジスタM11, M14のしきい電圧より大きい場合は、出力信号線SQA Lの電位が低下する。

【0047】一方、活性化信号SC(コモンデータ線のプリチャージ制御信号CDEを用いても良い)がLレベルの時、MOSトランジスタM44, M45がオンし、MOSトランジスタM40からM43で構成される差動アンプが活性化されているので、出力信号線SQA L, SQA Rの電位差が増幅され、センスアンプのオフセットがほぼ零となるように、MOSトランジスタ対M10, M11とM14, M15の各ウエルの電位が制御される。

【0048】例えば、出力信号線SQA Lの電位が低い場合は、MOSトランジスタM10, M15のウエルに印加する第2の制御回路の出力線WL Rの電位が高くなる。通常、NMOS(PMOS)トランジスタのウエルの電位が高く(低く)なると、しきい電圧が減少(増加(絶対値は減少))するので、この場合はMOSトランジスタM10, M15のしきい電圧が減少する。すなわち、センスアンプのオフセットが減少するように動作し、出力信号線SQA Lの電位が上昇する。この動作は、出力信号線SQA LとSQA Rとの間に電位差がある限り繰り返され、最終的には、センスアンプのオフセットがほぼ零となる。

【0049】さて、図6の動作波形の説明に戻ると、図5に示した回路ではセンスアンプのオフセットがほぼ零となるように制御しているので、活性化信号SCが時刻t2または時刻t12にHレベルになつても、出力信号線SQA Lの電位が図2に示した従来例ほど大きく低下しない。従って、図2で問題になった2サイクル目に着目すると、時刻t12に活性化信号SCがHレベルになつた後、出力信号線SQA Lの電位は多少低下するものの、出力信号線SQA LとSQA Rの電位差が電源電圧VDDの半分に達する前に、逆に出力信号線SQA Rの電位が低下し始め、また出力信号線SQA Lの電位も上昇し始める(時刻t16)。このため、従来例の図2で示したようにセンスアンプ出力ノードSQがLレベルに切り換わるという誤動作が発生しない。

【0050】以上述べてきたように、本実施例では、センスアンプを構成するMOSトランジスタに特性ばらつき等があつても、センスアンプのオフセットをほぼ零にできるので、センスアンプの活性化のタイミングを早くしても、温度または電源電圧の変動により誤動作が発生しない。従って、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0051】また、本実施例のセンスアンプをSOIウエハ上に形成すると、通常の単結晶シリコンウエハ上に形成する場合に比べて、上記MOSトランジスタのウエルに寄生する容量を低減できるので、ウエル電位の制御を高速に行え、センスアンプをさらに高速化できる。

【0052】また、図5では、活性化信号SCがHレベルになりセンスアンプが活性化されると、MOSトランジスタM44, M45がオフし、MOSトランジスタM40からM43で構成される差動アンプが非活性となる。従って、MOSトランジスタ対M10, M11とM14, M15の各ウエルが、ほぼフローティングの状態になる。このため、MOSトランジスタM10, M11, M14, M15の寄生容量と直列に、各ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できる。

【0053】従って、例えば図6に破線で示したように、出力信号線SQA Lの電位の低下が時刻t6以降に加速されるため、出力信号線SQA LとSQA Rの電位差が電源電圧の半分に達する時間が早くなり、出力ノードSQがLレベルに切り換わる時間が時刻t8から時刻t7に早くなる。すなわち、このように、センスアンプが活性化された状態にある時、上記MOSトランジスタのウエルを、ほぼフローティングの状態にすると、センスアンプをさらに高速化できる。

【0054】また、図5に破線で示したように、上記MOSトランジスタM11, M10, M14, M15の各ウエルに接続される第2制御回路の出力線WL L, WL R(ウエルノード)に容量CWLL, CWLRを付加すると、第2制御回路から上記MOSトランジスタのウエルへのフィードバック信号の位相を最適な値に設定できるので、センスアンプをさらに高速化できる。

【0055】<実施例2>図7は、本発明の第2の実施例を示す半導体メモリの要部の回路図である。本図は図3に示した回路をさらに具体化した別の例であり、前記実施例と同様に図3の各回路をCMOS回路で構成している。すなわち、本実施例でも図3及び図5に示した回路と同様、センスアンプが待機状態にある時、センスアンプの入力信号を零とし、この時センスアンプのオフセットにより発生する信号を用いて、センスアンプを構成するMOSトランジスタのウエル電位をフィードバック制御し、センスアンプのオフセットがほぼ零となるようにしている。

【0056】本実施例が図5と大きく異なる点は、センスアンプのオフセットにより発生する信号を用いて、センスアンプを構成するMOSトランジスタのウエル電位を制御する第2の制御回路の構成である。従って以下では、この異なる点を中心にして本実施例の回路の動作を説明する図7に示した本実施例の回路では、センスアンプが待機状態にある時、1段目のサブセンスアンプのオフセットにより発生する出力信号線SQA L, SQA Rの電位をさらに2段目のサブセンスアンプに入力し、MOSトランジスタ対M10, M11とM14, M15の各ウエル電位をMOSトランジスタM30からM37で構成される第2の制御回路によりフィードバック制御し、MOSトランジスタ対M10, M11とM14, M

15の特性を変化させることにより、センスアンプのオフセットがほぼ零となるようにしている。すなわち、出力信号線S Q A LとS Q A Rの電位を2段目のサブセンスアンプを介して入力する第2の制御回路の出力線W L LとW L Rの電位を、それぞれMOSトランジスタM 1 1, M 1 4とM 1 0, M 1 5の各ウエルに印加している。

【0057】以下、このことを、さらに詳しく説明する。図7に示した回路では前記実施例の図5の回路と同様、図1のMOSトランジスタM 1 2, M 1 3が取り除かれ、MOSトランジスタM 1 7が新たに付加されている。このため、活性化信号S CがLレベルでセンスアンプが待機状態にある時も、1段目のサブセンスアンプのオフセットにより出力信号線S Q A L, S Q A Rに信号が発生する。例えば、MOSトランジスタM 1 0, M 1 5のしきい電圧がMOSトランジスタM 1 1, M 1 4のしきい電圧より大きい場合は、出力信号線S Q A Lの電位が低下する。

【0058】図7ではさらに、2段目のサブセンスアンプにMOSトランジスタM 2 8が新たに付加されている。このMOSトランジスタM 2 8を設けたことにより、活性化信号S CがLレベルでセンスアンプが待機状態にある時でも、出力信号線S Q A L, S Q A Rの信号は増幅され、MOSトランジスタM 2 0, M 2 1を介して、MOSトランジスタM 3 0からM 3 7で構成される第2の制御回路に入力される。この第2の制御回路は、入力された信号に基づいて、センスアンプのオフセットがほぼ零となるように、MOSトランジスタ対M 1 0, M 1 1とM 1 4, M 1 5の各ウエルの電位を制御する。

【0059】例えば、出力信号線S Q A Lの電位が低い場合は、MOSトランジスタM 2 0を介して電流信号が出力されないので、カレントミラー回路を構成するMOSトランジスタM 3 0, M 3 2及び負荷回路を構成するMOSトランジスタM 3 4にも電流が流れず、MOSトランジスタM 1 1, M 1 4の各ウエルに印加される第2制御回路の出力線W L Lの電位は低電位となる。

【0060】一方、MOSトランジスタM 2 1からは電流信号が出力されるので、カレントミラー回路を構成するMOSトランジスタM 3 1, M 3 3と負荷回路を構成するMOSトランジスタM 3 5に電流が流れ、MOSトランジスタM 1 0, M 1 5の各ウエルに印加される第2制御回路の出力線W L Rの電位は高電位となる。従って、MOSトランジスタM 1 0, M 1 5のしきい電圧が減少し、センスアンプのオフセットがほぼ零となる。

【0061】なお、本実施例の図7に示したMOSトランジスタM 3 6, M 3 7は、2段目のサブセンスアンプが活性化された状態から待機状態に切り換わる際に、MOSトランジスタM 2 4, M 2 5のドレインノードを充電するための電流により、ウエルに接続される第2制御回路の出力線W L L, W L Rの電位が上昇するのを防止

するために付加している。

【0062】以上述べてきたように、図7に示した回路構成でも、センスアンプのオフセットがほぼ零となるように制御しているので、従来例の図2で問題になった2サイクル目に出力ノードS QがLレベルに切り換わるという誤動作が発生しない。従って、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0063】また、前記第1の実施例と同様、上記センスアンプをS O I ウエハ上に形成すると、MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

【0064】また、上記センスアンプが活性化された状態にある時、上記MOSトランジスタM 1 0, M 1 1, M 1 4, M 1 5の各ウエルに接続される第2制御回路の出力線W L L, W L R（ウエルノード）の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

【0065】また、図7に破線で示したように、ウエルノードに容量C W L L, C W L Rを付加すると、フィードバック信号の位相を最適な値に設定できるので、センスアンプをさらに高速化できる。

【0066】<実施例3>図8は、本発明の第3の実施例を示す半導体メモリの要部の回路図である。本図は図3に示した回路をさらに具体化したまた別の例を示すものであり、図3の各回路をCMOS回路で構成している。

【0067】本実施例のセンスアンプは、MOSトランジスタM 1 0, M 1 1, M 1 4, M 1 5, M 1 6で構成されるラッチ形サブセンスアンプを含んでおり、さらに、このラッチ形サブセンスアンプ内のMOSトランジスタ対M 1 4, M 1 5の各ウエルを他のMOSトランジスタのウエルと電気的に分離している。また、本実施例のセンスアンプは、反転出力ノード/S Qも取り出す構成としているので、出力ノードS Qとのタイミングを合わせるためにインバータI V 2 0, I V 2 1が追加されている。

【0068】センスアンプが待機状態にある時、MOSトランジスタM P L, M P R, M Eで構成される第1の制御回路によりセンスアンプの入力信号を零にしている。さらにこの時、センスアンプのオフセットにより発生するサブセンスアンプの出力信号線S Q A L, S Q A Rの信号を用いて、上記MOSトランジスタ対M 1 4, M 1 5のウエル電位をMOSトランジスタM 4 0からM 4 5で構成される第2の制御回路によりフィードバック制御し、センスアンプのオフセットがほぼ零となるように制御している。すなわち、出力信号線S Q A LとS Q A Rの電位を入力とする第2の制御回路の出力線W L R

とWLLの電位を、MOSトランジスタM15とM14のウエルにそれぞれ印加している。

【0069】このようにすると、センスアンプを構成するMOSトランジスタに特性ばらつき等があっても、センスアンプのオフセットがほぼ零となるので、センスアンプの活性化のタイミングを早くでき、センスアンプを高速化できる。

【0070】以下、このことを、さらに詳しく説明する。図8に示した本実施例の回路では、通常のラッチ形サブセンスアンプにMOSトランジスタM17が新たに付加されている。このMOSトランジスタM17により、活性化信号SCがLレベルでセンスアンプが待機状態にある時でも、ラッチ形サブセンスアンプのオフセットにより出力信号線SQAL, SQARに信号が発生する。

【0071】例えば、MOSトランジスタM15のしきい電圧がMOSトランジスタM14のしきい電圧よりも大きい場合は、出力信号線SQALの電位が低下する。一方、活性化信号SC(コモンデータ線のプリチャージ制御信号CDEを用いても良い)がLレベルの時、第2制御回路を構成するMOSトランジスタM44, M45がオンし、MOSトランジスタM40からM43で構成される差動アンプが活性化されているので、出力信号線SQAL, SQARの電位差が増幅され、センスアンプのオフセットがほぼ零となるように、第2制御回路の出力線WLL, WLRの電位を、MOSトランジスタ対M14, M15の各ウエルに印加することにより制御される。

【0072】例えば、出力信号線SQALの電位が低い場合は、MOSトランジスタM15のウエルに印加される第2制御回路の出力線WLRの電位が高くなり、MOSトランジスタM15のしきい電圧が減少する。すなわち、センスアンプのオフセットが減少するように動作し、最終的にはセンスアンプのオフセットがほぼ零となる。従って、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0073】また、本実施例でも、上記センスアンプをSOIウエハ上に形成すると、上記MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

【0074】また、本実施例のようにセンスアンプが活性化された状態にある時、MOSトランジスタM14, M15の各ウエルに印加される第2制御回路の出力線WLL, WLR(ウエルノード)の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、上記MOSトランジスタの寄生容量と直列に、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

【0075】また、図8に破線で示したように、ウエルノードに容量CWL, CWLRを付加すると、フイー

ドバック信号の位相を最適な値に設定できるので、さらに高速化できる。

【0076】<実施例4>図9は、本発明の第4の実施例を示す半導体メモリの要部の回路図である。本図は図3に示した回路をさらに具体化したまた別の例であり、図3の各回路をCMOS回路で構成している。

【0077】本実施例のセンスアンプは、図9に示すように、MOSトランジスタM10, M11, M12, M13, M16, M17, M18, M21, M22, M23で構成されるラッチ形サブセンスアンプを含んでいる。さらに、このラッチ形サブセンスアンプ内のMOSトランジスタ対M10, M11とM12, M13の各ウエルを他のMOSトランジスタのウエルと電気的に分離している。

【0078】センスアンプが待機状態にある時、MOSトランジスタMPL, MPR, ME及びMQL, MQR, MFで構成される第1の制御回路によりセンスアンプの入力信号をほぼ零にしている。さらにこの時、センスアンプのオフセットにより発生する信号線SSL, SSR及びSTL, STRの電位を用いて、上記MOSトランジスタ対M12, M13及びM10, M11の各ウエル電位をMOSトランジスタM40からM45及びM46からM51で構成される第2の制御回路により制御し、センスアンプのオフセットがほぼ零となるようにフィードバック制御している。

【0079】すなわち、信号線SSLとSSRの電位を入力とするMOSトランジスタM40～M45で構成される差動アンプAの出力線WLLとWLRの電位を、MOSトランジスタ対M12とM13のウエルにそれぞれ印加し、信号線STLとSTRの電位を入力とするMOSトランジスタM46～M51で構成される差動アンプBの出力線WMLとWMRの電位を、MOSトランジスタ対M10とM11のウエルにそれぞれ印加している。

【0080】このようにすると、センスアンプを構成するMOSトランジスタに特性ばらつき等があっても、センスアンプのオフセットがほぼ零となるので、センスアンプの活性化のタイミングを早くでき、センスアンプを高速化できる。

【0081】以下、このことを、さらに詳しく説明する。図9に示した本実施例の回路では、ラッチ形サブセンスアンプにMOSトランジスタM14, M15, M19, M20が新たに付加されている。これらのMOSトランジスタM14, M15, M19, M20により、活性化信号SCがLレベルでセンスアンプが待機状態にある時でも、ラッチ形サブセンスアンプのオフセットにより信号線SSL, SSR及びSTL, STRに信号が発生する。

【0082】例えば、MOSトランジスタM12のしきい電圧がMOSトランジスタM13のしきい電圧よりも大きく、MOSトランジスタM10のしきい電圧がMO

SトランジスタM11のしきい電圧よりも小さい（絶対値は大きい）場合は、信号線SSLの電位が低下し、MOSトランジスタM10はPMOSなので、信号線STLの電位が上昇する。

【0083】一方、コモンデータ線のプリチャージ制御信号CDEがLレベルの時、MOSトランジスタM44, M45及びM50, M51がオンし、MOSトランジスタM40からM43及びM46からM49でそれ構成される差動アンプA, Bが活性化されている。この差動アンプA, Bにより、信号線SSL, SSR及びSTL, STRの電位差が増幅され、センスアンプのオフセットがほぼ零となるように、MOSトランジスタ対M12, M13及びM10, M11の各ウエル電位が制御される。

【0084】例えば、信号線SSLの電位が低い場合は、差動アンプAの出力線WLLの電位が印加されることによりMOSトランジスタM12のウエルの電位が高くなり、MOSトランジスタM12のしきい電圧が減少する。また、信号線STLの電位が高い場合は、差動アンプBの出力線WMLの電位が印加されることによりMOSトランジスタM10のウエルの電位が低くなり、PMOSトランジスタM10のしきい電圧が増加（絶対値は減少）する。すなわち、センスアンプのオフセットが減少するように動作し、最終的にはセンスアンプのオフセットがほぼ零となる。従って、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0085】また、本実施例でも、センスアンプをSOIウェハ上に形成すると、MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

【0086】また、本実施例のようにセンスアンプが活性化された状態にある時、上記MOSトランジスタM10, M11, M12, M13の各ウエルに接続される第2制御回路の出力線WLL, WLR, WML, WMR（ウエルノード）の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、上記MOSトランジスタの寄生容量と直列に、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

【0087】また、図9に破線で示したように、ウエルノードに容量CWLL, CWLR, CWML, CWMRを付加すると、フィードバック信号の位相を最適な値に設定できるので、さらに高速化できる。

【0088】<実施例5>図10は、本発明の第5の実施例を示す半導体メモリの要部の回路図である。本実施例が実施例4で示した図9の回路構成と異なる点は、以下の通りである。すなわち、図9では、第2の制御回路をMOSトランジスタM40～M45及びM46～M51からなる差動アンプA及びBで構成していたのに対

し、図10で示した本実施例の回路では、第2の制御回路を、MOSトランジスタM40～M43及びM44～M47からなるスイッチA及びBで構成している点である。

【0089】従って、本実施例においても、上記実施例4と同様の議論が成立する。すなわち、センスアンプのオフセットを低減できるので、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

10 【0090】また、本実施例でも、センスアンプをSOIウェハ上に形成すると、MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

【0091】また、本実施例のようにセンスアンプが活性化された状態にある時、上記MOSトランジスタM10～M13の各ウエルに接続される第2制御回路の出力線WLL, WLR, WML, WMR（ウエルノード）の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、上記MOSトランジスタの寄生容量と直列に、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

20 【0092】また、図10に破線で示したように、ウエルノードに容量CWLL, CWLR, CWML, CWMRを付加すると、フィードバック信号の位相を最適な値に設定できるので、さらに高速化できる。

【0093】<実施例6>図11は、本発明の第6の実施例を示す半導体メモリの要部の回路図である。本実施例が、実施例5で示した図10の回路構成と異なる点

30 30 は、以下の通りである。すなわち、図10では、第2の制御回路の出力線WLL, WLR, WML, WMRを、MOSトランジスタ対M12, M13とM10, M11のウエルにそれぞれ接続していた。

【0094】これに対し、本実施例の図11では、第2の制御回路の出力線WLL, WLR, WML, WMRをMOSトランジスタ対M10, M11とM12, M13のウエルにそれぞれ接続している点が相異するだけである。

40 【0095】従って、本実施例においても、上記実施例5と同様の議論が成立する。すなわち、センスアンプのオフセットを低減できるので、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0096】また、本実施例でも、センスアンプをSOIウェハ上に形成すると、MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

50 【0097】また、本実施例のようにセンスアンプが活性化された状態にある時、上記MOSトランジスタM10～M13の各ウエルに接続される第2制御回路の出力

線WLL, WLR, WML, WMR (ウエルノード) の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、上記MOSトランジスタの寄生容量と直列に、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

【0098】また、図11に破線で示したように、ウエルノードに容量CWLL, CWLR, WML, CWMRを付加すると、フィードバック信号の位相を最適な値に設定できるので、さらに高速化できる。

【0099】<実施例7>図12は、本発明の第7の実施例を示す半導体メモリの要部の回路図である。本実施例が、実施例5で示した図10の回路構成と異なる点は、以下の通りである。すなわち、図10では、センスアンプが待機状態にある時に、センスアンプの入力信号をほぼ零にするために、MOSトランジスタ対M12, M13のドレインとゲートを、MOSトランジスタMPL, MPR, MEからなる第1の制御回路（すなわち、プリチャージ回路）で電源電圧VDDにプリチャージし、MOSトランジスタ対M10, M11のドレインとゲートを、MOSトランジスタMQL, MQR, MFからなる第2の制御回路で電源電圧VSS（図10の場合、接地電圧）にプリチャージしていた。

【0100】これに対し、本実施例の図12に示した回路構成では、センスアンプが待機状態にある時に、センスアンプの入力信号をほぼ零にするために、MOSトランジスタ対M12, M13のドレインとゲート及びMOSトランジスタ対M10, M11のドレインとゲートを、MOSトランジスタMPL, MPR, MEからなる第3の制御回路で、電源電圧VDDとVSSの間の電位VPにプリチャージしている点が相異するだけである。

【0101】従って、本実施例においても、上記実施例5と同様の議論が成立する。すなわち、センスアンプのオフセットを低減できるので、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。

【0102】また、本実施例でも、センスアンプをSOIウェハ上に形成すると、MOSトランジスタのウエルに寄生する容量を低減できるので、さらに高速化できる。

【0103】また、本実施例のようにセンスアンプが活性化された状態にある時、上記MOSトランジスタM10～M13の各ウエルに接続される第2制御回路の出力線WLL, WLR, WML, WMR (ウエルノード) の少なくとも1つのウエルノードを、ほぼフローティングの状態にすると、上記MOSトランジスタの寄生容量と直列に、ウエルと基板間の容量が接続されることになり、等価的に寄生容量を低減できるので、さらに高速化できる。

【0104】また、図12に破線で示したように、ウエルノードに容量CWLL, CWLR, WML, CWMRを付加すると、フィードバック信号の位相を最適な値に設定できるので、さらに高速化できる。

【0105】<実施例8>図13は、本発明に係る半導体メモリの第1の実施例～第7の実施例で使用するSOIウェハ上に形成したMOSトランジスタの概略の基本構造を示す図である。同図(a)はSOIウェハ上に形成したMOSトランジスタの平面図であり、同図(b)は平面図中のI-I'線に沿った部分の断面構造を模式的に示している。図13において、参照符号Gはゲート、Sはソース、Dはドレイン、WELLはウエル、SiO2は絶縁膜、SUBは基板、zbはウエルの引き上げ端子用コンタクト孔、Gcはゲート電極取り出し用コンタクト孔を表している。

【0106】また、図14は、SOIウェハ上に形成した上記MOSトランジスタの等価回路を示している。図14において、参照符号Djはソース、ドレイン拡散層とウエルとの間で形成される寄生の接合ダイオード、Csdsubはソース、ドレイン拡散層と基板間に形成される寄生の容量、Cwsubはウエルと基板間に形成される寄生の容量を表している。

【0107】MOSトランジスタをSOIウェハ上に形成すると、MOSトランジスタのウエルノードWELLに寄生する容量、すなわち、図14に示した容量Cwsubを低減できるので、ウエル電位の制御を高速に行え、従って前述した各実施例におけるセンスアンプを高速化できる。

【0108】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【0109】

【発明の効果】前述した実施例から明らかなように、本発明に係る半導体メモリによれば、センスアンプを構成するトランジスタに特性ばらつき等があつても、センスアンプのオフセットを小さくできるので、センスアンプの活性化のタイミングを早くし、センスアンプを高速化することができる。従って、半導体メモリの高速化が図れる。

【0110】また、上記センスアンプをSOIウェハ上に形成すると、MOSトランジスタのウエルノードに寄生する容量を低減できるので、ウエル電位の制御を高速に行え、センスアンプをさらに高速化できる。

【0111】また、センスアンプが活性化された状態にある時、上記MOSトランジスタのウエルを、ほぼフローティングの状態にすると、等価的に寄生容量を低減できるので、センスアンプをさらに高速化できる。

【0112】また、上記MOSトランジスタのウエルノードに容量を付加すると、フィードバック信号の位相を

最適な値に設定できるので、センスアンプをさらに高速化できる。

【0'113】図・15は、本発明の効果の一例を示す図であり、図1に示した従来例と図7に示した第2の実施例の回路構成について、センスアンプの活性化のタイミング Δt (CD - SC) と、センスアンプの遅延時間 t_{pD} との関係を回路シミュレーションにより求めた結果を示している。ここで、 Δt (CD - SC) はプリチャージ制御信号 CDE が H レベルになり、コモンデータ線 CDL, CDR の一方の電位が低下し始めてから、活性化信号 SC を H レベルに切り換えるまでの時間であり、 t_{pD} (CD - SQ) はコモンデータ線 CDL, CDR の一方の電位が低下し始めてから、出力ノード SQ の電位が切り換わるまでの時間である。

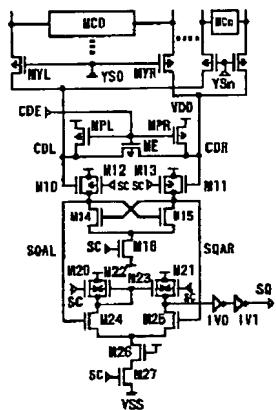
【0114】また、センスアンプのオフセットを30mV、入力信号の立ち下りを25mV/100psとして、回路シミュレーションを行った。

【0115】図15に示したように、図1の従来の回路構成ではセンスアンプの活性化のタイミング Δt が100ps以下になると、センスアンプのオフセットにより誤動作する。一方、図7に示した本発明に係る半導体メモリの回路構成では、センスアンプの活性化のタイミング Δt が0psまで正常に動作する。誤動作に対するセンスアンプの活性化タイミング Δt のタイミングマージン T_m を150psとるとすると、図1に示したセンスアンプの遅延時間 t_{pd} は381ps、図7に示したセンスアンプの遅延時間 t_{pd} は244psとなり、36%高速化できることがわかる。

【図面の簡単な説明】

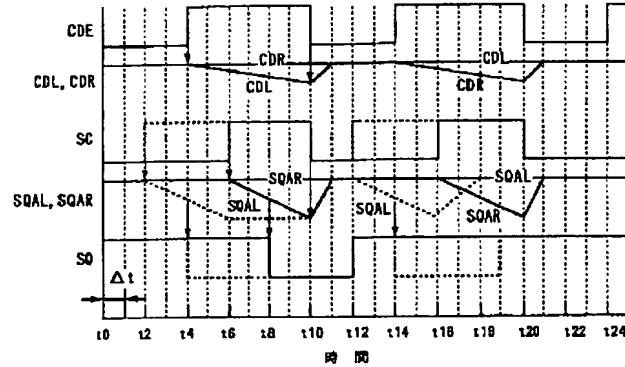
【図 1】

1



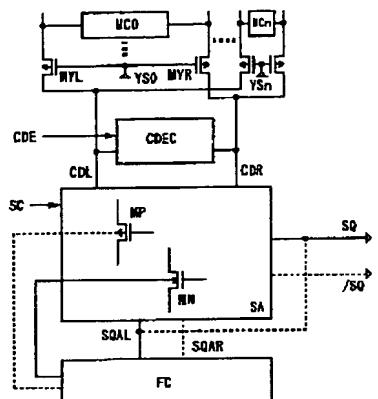
【図2】

圖 2



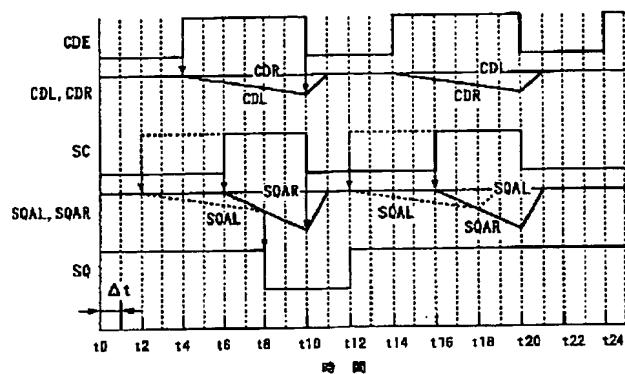
【図3】

図3



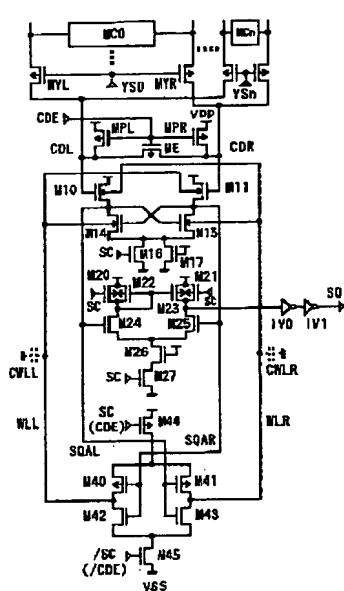
【図4】

図4



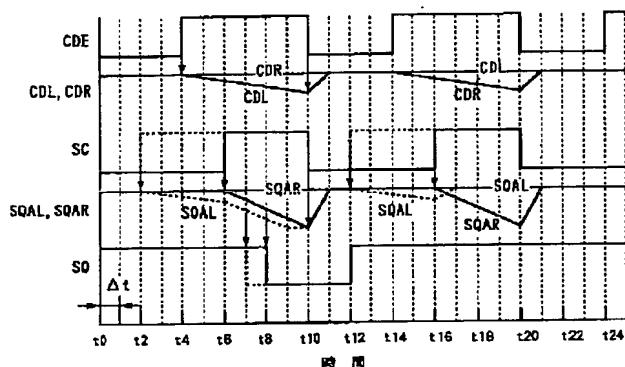
【図5】

図5

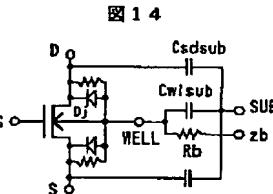


【図6】

図6

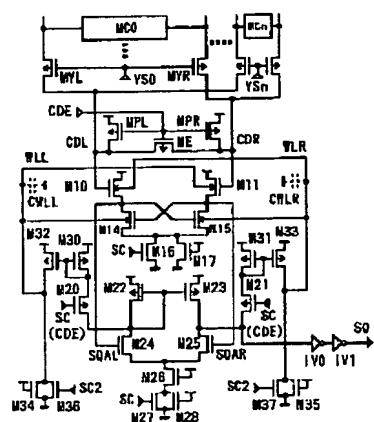


【図14】



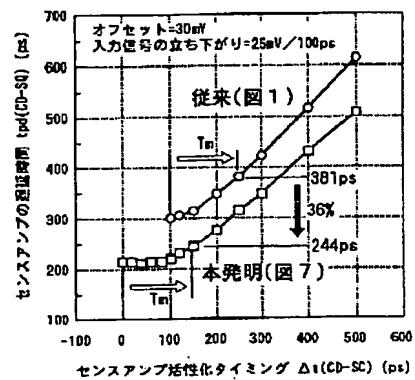
【図7】

図7



【図15】

図15



【図8】

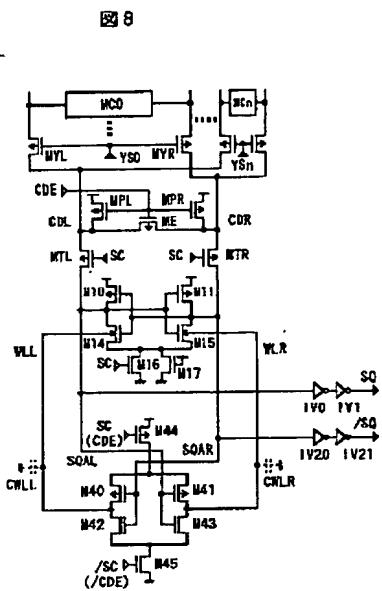


図8

【図9】

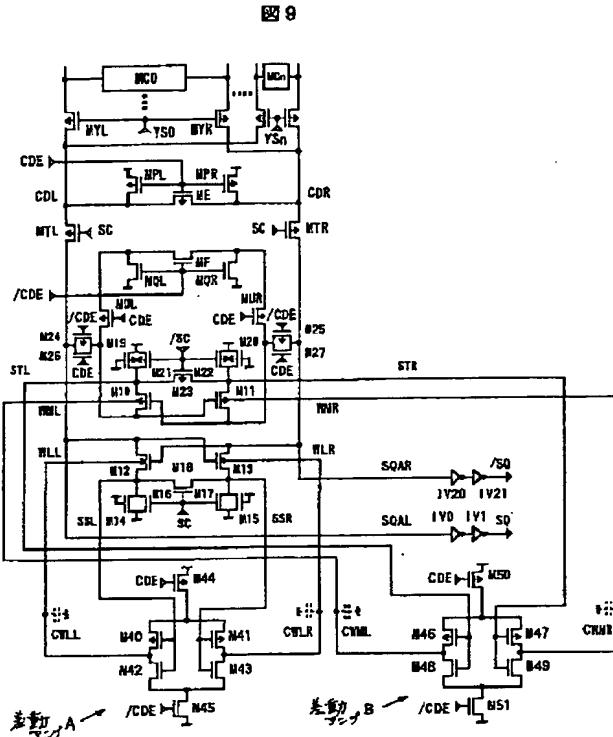


図9

【図10】

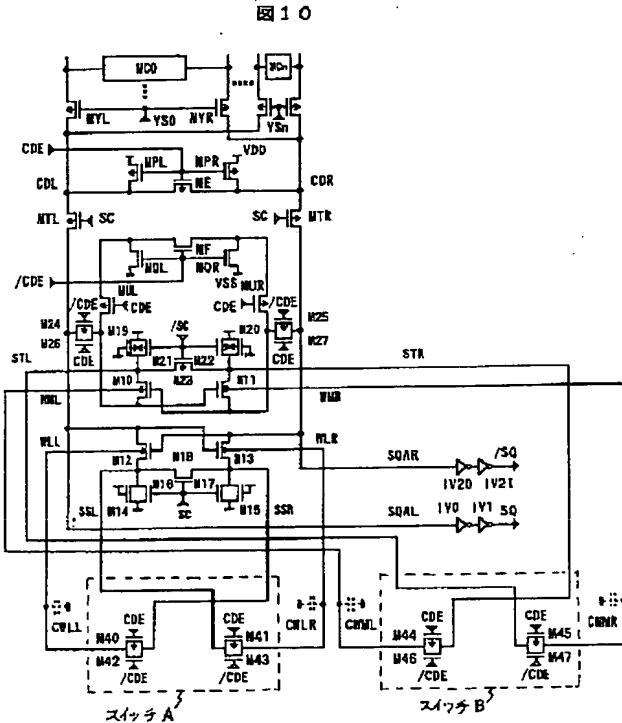


図10

【図11】

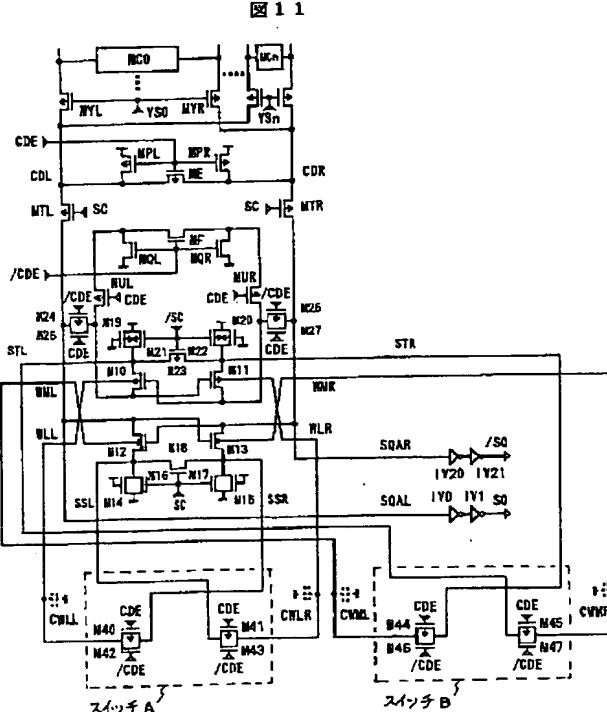
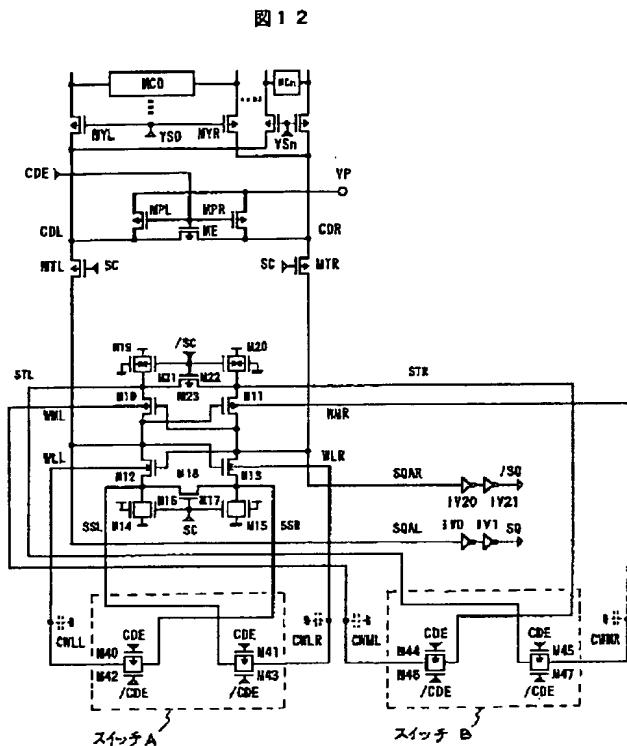
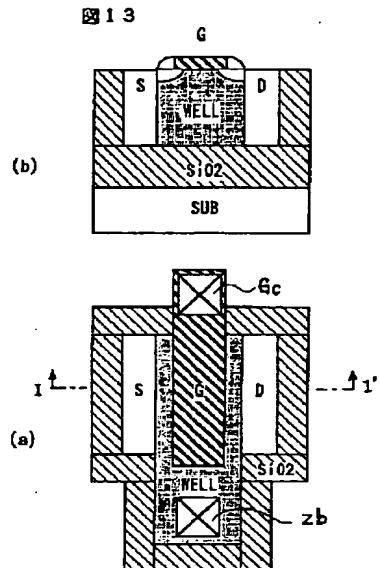


図11

【図12】



【図13】



フロントページの続き

(72)発明者 金谷 一男

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山崎 枢

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 荒川 文彦

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 楠 武志

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

F ターム(参考) 5B015 HH01 JJ21 KB12 KB14 KB15

KB22 KB23